

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-029743

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

H03B 5/32

(21)Application number : 04-182450

(71)Applicant : HITACHI LTD  
HITACHI ENG CO LTD

(22)Date of filing : 09.07.1992

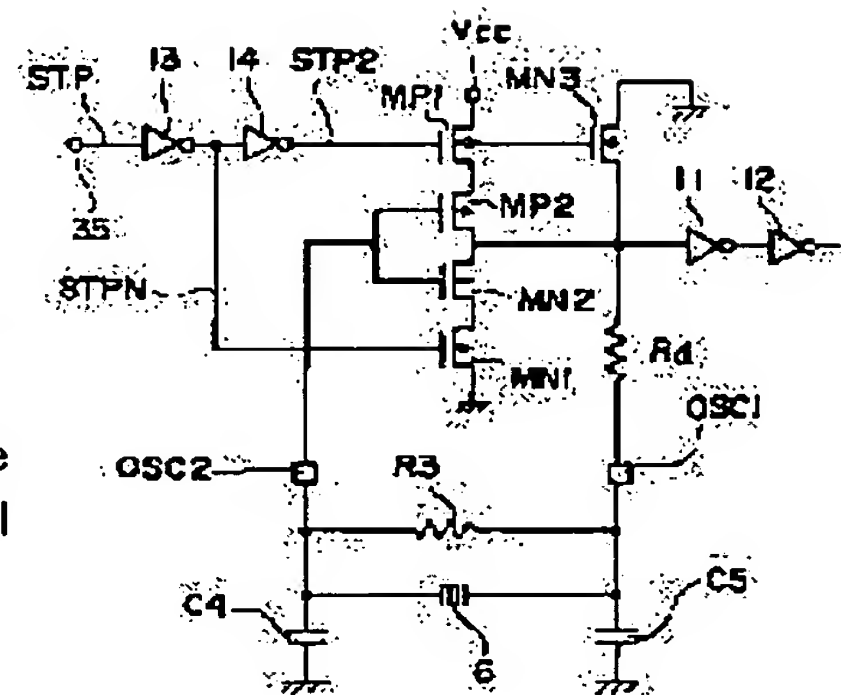
(72)Inventor : KUBOKI SHIGEO  
MIKAWA KOJI  
OKABE TOSHIAKI  
YAMAZAKI HIDEKI

## (54) OSCILLATING CIRCUIT

### (57)Abstract:

**PURPOSE:** To provide the oscillating circuit which is suitable to be made into an LSI and can stably oscillate regardless of a low supply voltage.

**CONSTITUTION:** In the oscillating circuit having a quartz oscillator 6 and an amplifier circuit, the clocked gate constitution consisting of MOB transistors TRs MP1, MP2, MN1, and MN2 is used as the amplifier circuit, and MOS gates MP1 and MN1 to which a clock signal is inputted are used as a load resistance, thereby raising the gain and reducing the current consumption. A damping resistance  $R_d$  is set to a low resistance before the stable state of oscillation and is switched to a high resistance at the time of the stable state of oscillation not only to easily start oscillation but also prevent the abnormal oscillation. The amplifier circuit is constituted of a logic gate consisting of at least a load resistance element and a driving MOB TR to easily realize the oscillation with a low voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The oscillator circuit characterized by having the frequency divider which delays an oscillation output, the resistance element controlled so that it connects with the output side of said amplifying circuit and adjustable [ of the resistance ] is carried out by said frequency divider output, and the control means controlled to be small in the resistance of said resistance element at the time of oscillation starting, and to enlarge the resistance of this resistance element after oscillation stabilization in the oscillator circuit which has a proper oscillation child and an amplifying circuit.

[Claim 2] Said resistance element is an oscillator circuit according to claim 1 characterized by coming to consist of Deprez-SHON mold MOS transistors.

[Claim 3] Said resistance element is an oscillator circuit according to claim 1 characterized by having consisted of the fixed-resistance elements and an MOS switch group, and being constituted so that the combined-resistance value of said resistance element may be determined by carrying out change-over control of this MOS switch group.

[Claim 4] It is the oscillator circuit characterized by being the logic-gate circuit constituted by said amplifier carrying out series connection of a load resistance component and the MOS transistor at least between the power source which operates an oscillator circuit, and touch-down in the oscillator circuit which has a proper oscillation child and an amplifying circuit.

[Claim 5] It is the oscillator circuit characterized by being the logic-gate circuit which carried out series connection of the power source to which said amplifier operates an oscillator circuit in the oscillator circuit which has a proper oscillation child and amplifier, the DEPURESHON mold MOS transistor which forms a load resistance component at least between touch-down, and the enhancement type MOS transistor.

[Claim 6] The oscillator circuit according to claim 5 characterized by what the gate electrode and source electrode of the DEPURESHON mold MOS transistor which forms said load resistance component short-circuited.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the oscillator circuit which used the proper oscillation child, especially relates to the oscillator circuit which can operate with low supply voltage possible [ inclusion to semiconductor integrated circuit equipments (LSI is called henceforth), such as a microprocessor, ].

[0002]

[Description of the Prior Art] In recent years, the oscillator circuit which used the quartz resonator is briskly used for IC for wrist watches, the microprocessor, etc. This kind of oscillator circuit reduces a cell number in connection with the miniaturization of semiconductor integrated circuit equipment, and cell reinforcement, and to operate in the low supply voltage region not more than 2V is demanded.

[0003] The configuration of the conventional CMOS oscillator circuit which used the quartz resonator and the ceramic filter is shown in drawing 2 . In this drawing, the oscillator circuit consists of 2 input NAND gate 10, the inverters 11 and 12 for oscillator-circuit output waveform shaping, a feedback resister R3, resistance Rd that operates as the resistance for phase corrections, and damping resistance, a quartz resonator 6, and capacity C4 and C5 for oscillation stabilization and oscillation frequency regulation. Usually, the resistance of Resistance Rd is about 1k-100k ohm.

[0004] Next, actuation of this oscillator circuit is explained with reference to the timing diagram of drawing 3 . If the quenching signal STPN (negative logic) is set to a low level (logic 0), the output of 2 input NAND gate 10 will be fixed to high level (logic 1), and oscillation actuation will stop. On the other hand, if the quenching signal STPN becomes high-level, 2 input NAND gate 10 operates as an inverter, and it will be committed as a minute voltage amplifier centering on bias voltage until an oscillation is stable.

[0005] If the quenching signal STPN becomes high-level, an oscillator circuit will be in enabling state and oscillation actuation will be stabilized after the oscillation start time TRC progress which is time amount after starting an oscillator circuit until oscillation actuation is stabilized.

[0006] As mentioned already, in this kind of oscillator circuit, it is required that the oscillation start time TRC should be shortened more with low supply voltage. In the case of 4MHz oscillation frequency, in the conventional oscillator circuit which used the quartz resonator, for example, the oscillation start time TRC is 60mS extent.

[0007] Generally the oscillation starting potential Vst of the oscillator circuit which used the quartz resonator is influenced according to the following factor as indicated by reference (Institute of Electronics and Communication Engineers, '78/10, Vol.J61-C, No.10, pp 636-643).

[0008] (1) CI value of the outside-temperature (4) quartz resonator of the threshold electrical-potential-difference Vth (3) oscillator circuit of the channel ratio W/L (2) MOS transistor of the drive MOS transistor of the gate (crystal impedance value)

Generally, although the oscillation starting potential Vst is in inverse proportion to Log (W/L), even if it makes channel ratio W/L increase by 10 times, it falls only about 0.3V.

[0009] Furthermore, the consumed electric current increases and enlarging channel ratio W/L (current amplification factor gm) poses a problem. Lowering the threshold electrical potential difference Vth of an MOS transistor also has the fault whose oscillation starting potential Vst is reduced and to which the consumed electric current is made to increase too, although it is law on the other hand.

[0010] Furthermore, CI value of a quartz resonator is a characteristic decided by manufacture conditions, and is difficult to control. It is difficult for the oscillation starting potential Vst to realize the oscillator circuit not more than 2V from the above conditions.

[0011] Although the damping resistance Rd of high resistance was formed in the oscillator circuit which

used the quartz resonator etc. in order to prevent an abnormality oscillation generally on the other hand and to realize stable oscillation actuation, this damping resistance  $R_d$  had the problem of worsening the oscillation starting performance in low supply voltage (the oscillation starting potential  $V_{st}$  being increased).

[0012]

[Problem(s) to be Solved by the Invention] With the above-mentioned conventional technique, as mentioned above, in order to correspond to low-battery-ization of supply voltage, the current amplification factor  $g_m$  of the MOS transistor for a drive needed to be enlarged, or the threshold electrical potential difference  $V_{th}$  needed to be made small, but when done in this way, there was a problem of causing increase of the consumed electric current.

[0013] Furthermore, although damping resistance was needed in order to prevent an abnormality oscillation in a high supply voltage region, there was a problem of worsening the oscillation property in a low supply voltage region, by preparing this damping resistance.

[0014] This invention is made in view of such a situation, and it is suitable for LSI-izing and aims at offering the oscillator circuit in which a stable oscillation is possible also in a low supply voltage region. Namely, while making an oscillation possible in short oscillation start time also with the low supply voltage not more than 2V, it aims at offering the oscillator circuit in which stable oscillation actuation is possible.

[0015] Moreover, this invention aims at offering the oscillator circuit which is low supply voltage more, for example, can oscillate 0.8–1.5V to stability.

[0016]

[Means for Solving the Problem] The oscillator circuit of this invention is characterized by to have the frequency divider which delays an oscillation output in the oscillator circuit which has a proper oscillation child and an amplifying circuit, the resistance element controlled so that it connects with the output side of said amplifying circuit and adjustable [ of the resistance ] is carried out by said frequency divider output, and the control means which controls a frequency divider output to be small in the resistance of said resistance element at the time of oscillation starting, and to enlarge the resistance of this resistance element after oscillation stabilization.

[0017] Moreover, the oscillator circuit of this invention is characterized by coming to consist of said resistance element Deprez–SHON mold MOS transistors.

[0018] Furthermore, the oscillator circuit of this invention is characterized by for said resistance element having consisted of the fixed-resistance elements and an MOS switch group, and constituting it so that the combined-resistance value of said resistance element may be determined by carrying out change-over control of this MOS switch group.

[0019] Moreover, in the oscillator circuit where the oscillator circuit of this invention has a proper oscillation child and an amplifying circuit, said amplifier is characterized by being the inverter circuit constituted between the power source which operates an oscillator circuit, and touch-down by carrying out the series connection of a load resistance component and the MOS transistor.

[0020] Furthermore, in the oscillator circuit where the oscillator circuit of this invention has a proper oscillation child and amplifier, said amplifier is characterized by being the inverter circuit which carried out the series connection of the power source which operates an oscillator circuit, the DEPURESHON mold MOS transistor which forms a load resistance component between touch-down, and the enhancement type MOS transistor.

[0021] Moreover, the oscillator circuit of this invention is characterized by what the gate electrode and source electrode of the DEPURESHON mold MOS transistor which forms said load resistance component short-circuited.

[0022]

[Function] In the oscillator circuit of the above-mentioned configuration, an oscillation output is delayed by the frequency divider, and it is controlled so that adjustable [ of the resistance of the resistance



element connected to the output side of said amplifying circuit ] is carried out by said frequency divider output. Moreover, a frequency divider output is controlled so that the resistance of said resistance element is small at the time of oscillation starting and the resistance of this resistance element becomes large after oscillation stabilization by the control means.

[0023] Moreover, in the oscillator circuit of the above-mentioned configuration, said resistance element consists of the fixed-resistance elements and an MOS switch group, and the combined-resistance value of said resistance element is determined by carrying out change-over control of this MOS switch group.

[0024] Furthermore, in the oscillator circuit of the above-mentioned configuration, the amplifier which constitutes an oscillator circuit is the inverter circuit which carried out the series connection of the power source which operates the inverter circuit constituted between the power source which operates an oscillator circuit, and touch-down by carrying out the series connection of a load resistance component and the MOS transistor, or an oscillator circuit, the DEPURSHON mold MOS transistor which forms a load resistance component between touch-down, and the enhancement type MOS transistor. Therefore, a threshold electrical potential difference can be reduced (what is necessary is to take only  $V_{th}$  of a drive NMOS transistor into consideration). refer to the formula (1) -- so, oscillation starting potential can be reduced.

[0025]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. The configuration of one example of the oscillator circuit concerning this invention is shown in drawing 1 . Although this example shows the example applied to LSI, it is clear that nothing is not limited to LSI and it can apply to large common equipment so that the following explanation may also show.

[0026] In drawing 1 , the oscillator circuit concerning this invention has the PMOS transistors MP1 and MP2 which constitute the clocked inverter gate, the NMOS transistors MN1 and MN2, the inverters 13 and 14 which generate the signal which controls this clocked gate, the NMOS transistor MN3, the inverters 11 and 12 for output clock waveform shaping, a feedback resistor R3, a quartz resonator 6, the resonance capacity C4 and C5, and the damping resistance Rd.

[0027] In the above-mentioned configuration, inverters 11 and 12 shape an oscillator-circuit output in waveform, and generate internal clock signals, such as Microcomputer LSI.

[0028] Moreover, in quenching mode, the NMOS transistor MN3 is turned on, when the quenching signal STP is high-level, and it functions as a pull down resistor which fixes a clocked gate output to touch-down potential.

[0029] Thus, at this example, it is the clocked MOS gates MP1 and MN1 and pulldown [ MOS ]. It has the features which can control oscillation mode / quenching mode by MN3.

[0030] In addition, it is the terminal into which, as for Vcc, a supply voltage terminal is inputted into, and, as for 35, the quenching signal STP is inputted.

[0031] The damping resistance element (not shown to drawing 1 ) controllable by this example so that the clocked gate is adopted as a CMOS oscillator circuit and resistance serves as adjustable with a control signal was adopted.

[0032] In this example, the above-mentioned clocked . gate configuration realized the low consumed electric current and a high gain. Gain G is expressed with a degree type.

[0033]

$$G = g_m - r_d = \beta_{tp} - \beta_{tn} (V_{cc} - V_{thn} - |V_{thp}|) \times [(r_{N1} + r_{N2}) / (r_{P1} + r_{P2})] \quad (1)$$

Here,  $r_d$  is  $r_{Ni}$  and the MOS dynamic resistance as a load resistance component and  $r_{Pi}$  are dynamic resistance between the drain sources of the NMOS transistor  $MNi$  and the PMOS transistor  $MPi$ , respectively.

[0034] Moreover, the channel conductance of a PMOS transistor and an NMOS transistor,  $V_{thp}$ , and  $V_{thn}$  of  $\beta_{tp}$  and  $\beta_{tn}$  are the threshold electrical potential difference of a PMOS transistor and an NMOS transistor, respectively.

[0035] In order to reduce the oscillation starting potential  $V_{st}$ , it is necessary to enlarge gain  $G$ . As for that mentioned above, it is an MOS transistor for a drive. The size ( $W/L$  or  $\beta_{tap}$ ,  $\beta_{tan}$ ) of  $MN2$  and  $MP2$  is designed greatly. With the configuration of this invention, since resistance of  $r_{N1}$  and  $r_{P1}$  is added, it is effective in gain increasing further.

[0036] The consumed electric current can be reduced by designing small the size of MOS transistors  $MP1$  and  $MN1$ , and on the other hand, considering as high resistance. This means that  $r_{N1}$  and  $r_{P1}$  become high resistance, and gain also increases it.

[0037] Moreover, an abnormality oscillation can be prevented, while making oscillation starting easy by setting the damping resistance  $R_d$  as low resistance, and making it switch to high resistance in the place which would be in the stable state until oscillation actuation will be in a stable state.

[0038] The configuration of other examples of this invention is shown in drawing 4. This example applies a clocked 2 input NAND gate instead of a clocked inverter in the example shown in drawing 1. The same sign has shown the element which has the function equivalent to front drawing, or same. In addition, drawing 4 (A) shows the whole oscillator-circuit configuration, and drawing 4 (B) shows the concrete configuration of clocked 2 input NAND gate 33.

[0039] It is the PMOS transistor from which clocked 2 input NAND gate 33 constitutes the 2 input NAND section in these drawings.  $MP4$ ,  $MP5$ , the NMOS transistors  $MN4$  and  $MN5$ , and PMOS transistor that forms KUROKKUDOGE-TO  $MP3$ , NMOS transistor It consists of  $MN(s)6$ .

[0040] Quenching of an oscillator circuit and a setup in starting mode are performed by making MOS transistors  $MP5$  and  $MN5$  which constitute the 2 input NAND section turn on and turn off by the quenching signal  $STPN$ . MOS transistor  $MP3$  and the gate electrode of  $MN6$  are being fixed to touch-down potential and the power-source potential  $V_{cc}$ , respectively, and MOS transistor  $MP3$  and  $MN6$  are functioning as a load resistance component.

[0041] Next, the configuration of the example of further others of this invention is shown in drawing 5. The oscillator circuit concerning this example serves as the basic oscillator-circuit section 40, a waveform shaping circuit 50, and the logical block 60 that generates the basic clock timing signal 32 from a frequency divider 70.

[0042] The basic oscillator-circuit section 40 has a quartz resonator 6, capacity  $C4$  and  $C5$ , 2 input NAND gate 10, the feedback resistor  $R3$ , the D type (DEPRESHON mold) NMOS transistor  $MN7$  that carries out the function of the damping resistance  $R_d$ , and the inverter 13. Moreover, a waveform shaping circuit 50 consists of inverters 11, 12, 16, and 17, and the frequency divider 70 consists of an inverter 28, toggle type flip-flops 19-27, and OR gate 29.

[0043] Next, actuation is explained. When set as quenching mode, the quenching control signal  $STP$  has become high-level, the basic oscillator-circuit section 40 will be in a quenching condition, and a frequency divider 70 will be in a reset condition. Since all of Q output of the toggle type flip-flops 19-27 which constitute a frequency divider 70 are set to a low level, the output 31 of a frequency divider 70 serves as high level (supply voltage), and it is a D type NMOS transistor. The resistance of  $MN7$  is low, namely, is set as the condition of being easy to oscillate also with low supply voltage.

[0044] If an oscillator circuit is changed from quenching mode to oscillation mode (i.e., if the quenching signal  $STP$  is set to a low level), the basic oscillator-circuit section 40 is started, it will be at the oscillation start time  $TRC$  progress time from the time of starting, a clock signal will be sent to a signal line 30-1, and it will be inputted into a frequency divider 70.

[0045] A clock signal is carried out 8 dividing by the toggle type flip-flops 19-21, and is further carried out 64 dividing by the toggle type flip-flops 22-27. Thus, the Q output 33 of the toggle type flip-flop 27 becomes high-level, the output 31 of a frequency divider 70 changes to a low level, and it is the D type NMOS shortly. Resistance of  $MN7$  is set up highly that it should function as damping resistance (since the gate voltage of  $MN7$  becomes touch-down potential, resistance becomes high).

[0046] An oscillation mode condition is held until the mask of the 8 frequency-divider output is carried out and the quenching signal  $STP$  is set to a low level next at this time, since the frequency divider

output 33 fixes OR gate 29 output high-level if it is set up high-level.

[0047] Actuation of the oscillator circuit concerning this example is further explained to a detail with reference to the timing diagram of drawing 6 R> 6. The output of the basic oscillator-circuit section 40 settles in a stable oscillation with the stationary amplitude after starting of an oscillator circuit, and oscillation start time TRC progress. Eight dividing of outputs 30-1 of the basic oscillator-circuit section 40 obtained through inverters 11 and 12 is carried out by the toggle type flip-flop falling edge sense 19, 20, and 21, and they are further carried out 64 dividing on the toggle type flip-flop falling edge sense 22-27.

[0048] Since the output 33 of 64 frequency dividers which consist of a TC, then toggle type flip-flop falling edge sense 22-27 in the period of the output 30-1 of the basic oscillator-circuit section 40 becomes high-level after 256TC progress from an oscillation initiation point in time, OR gate 29 output is fixed to coincidence high-level. Therefore, damping resistance of the resistance of normal is inserted in the output side of the basic oscillator-circuit section 40 after 256TC progress.

[0049] Next, the configuration of the example of further others of the oscillator circuit concerning this invention is shown in drawing 7. When the time of starting of an oscillator circuit and oscillation actuation are stabilized by this example, it switches two kinds of damping resistance from which resistance differs.

[0050] Except basic oscillator-circuit section 40, since the configuration of the oscillator circuit concerning this example is completely the same as the configuration of drawing 5, it shows the important section only about the configuration of the basic oscillator-circuit section. in addition, the element shown in drawing 5 -- \*\* -- about the element which has the same or same function, the same sign is shown and the overlapping explanation is omitted. That this example differs from the example shown in drawing 5 constitutionally is a D type NMOS transistor which functions as damping resistance. It is the point which constituted the damping resistance section instead of MN7 with the damping resistance R4 and R5 ( $R4 \ll R5$ ), the NMOS transistors NM8 and NM9, and the NMOS driving signal generation inverter 34. In the above-mentioned configuration, when an oscillator circuit is set as quenching mode (i.e., when the quenching signal STP becomes high-level), the output 31 of a frequency divider 70 becomes high-level, the NMOS transistor NM8 is turned on and the NMOS transistor NM9 is turned off. Under this condition, the resistance R4 with sufficiently small resistance is inserted in the output side of the basic oscillator-circuit section 40.

[0051] On the other hand, if an oscillator circuit will be set as oscillation mode (a quenching signal is a low level) and oscillation actuation will be in a stable state (from the time of the quenching signal STP changing from high level to a low level at least to after 256TC progress), actuation contrary to the actuation mentioned above will be performed, and the resistance R5 which functions as damping resistance will be inserted in the output side of the basic oscillator-circuit section 40. In addition, resistance R4 and R5 consists of a diffusion layer, polish recon, DEPURESHON type NMOS resistance, etc.

[0052] The variable resistive element which carries out the duty of R3 is not restricted to the D type NMOS, and is easy to change resistance with an electrical signal. Two or more resistance elements are switched with an MOS switch, and resistance may be made to change.

[0053] Although the conventional oscillator circuit was used as the basic oscillator-circuit section in the example shown in drawing 5 and drawing 7, if the KUOKKUDOGÉ-TO configuration shown in drawing 1 and drawing 4 is used, the oscillation starting performance in a low battery will also be improved sharply. About this, it is clear from old explanation, and a drawing is omitted.

[0054] Drawing 8 shows other examples of this invention applied to the single chip microprocessor LSI (semiconductor integrated circuit equipment). A processor LSI 123 changes from an oscillator circuit to the CPU arithmetic unit 100, RAM101 and ROM102, a frequency divider 103, RAM RAITODE-TABASU 108, RAM Lee Dodi-TABASU 107, ROM Lee Dodi-TABASU 118, and it. An oscillator circuit changes from the configuration of the external oscillation vibrator 6 and the resonance capacity C4 and C5 to



the KUROKKUDOGÉ-TO mold inverter 109 by this invention, a feedback resistor  $R_d$ , the PMOS transistor MP 6 for pull-up, and it. The inverter for oscillation waveform shaping, 2 input AND gate where 110 and 111 constitute 104 and 105 constitute the gate for RAM read/write control, respectively, and 106 are 2 input AND gates for ROM lead control.

[0055] The KUROKKUDOGÉ-TO mold inverter 109 consists of circuits shown in drawing 9 R> 9.

Moreover, a frequency divider 103 is shown by drawing 10 10 and consists of D type level latches 124-127, the 2 input NOR gates 128 and 129, and an inverter 130.

[0056] Next, actuation is explained. With reference to the timing diagram of drawing 11, actuation of a frequency divider 103 is explained first. The output 111-1 of the inverter 111 for oscillation waveform shaping is inputted into the cycloid type shift register which consists of D type level latch as clock timing, and performs a shift action.

[0057] Each latch's Q output signal Q1, Q2N (negative logic signal of Q2), Q3, and Q4N (negative logic signal of Q4), it becomes as [ show / in drawing 11 ], and 2 input NOR-gate 128 output 119-2 and 2 input NOR-gate 129 output 119-1 form the light clock of RAM, and a lead clock, respectively.

[0058] In drawing 8, the RAM read strobe signal 113 is the AND logic of the lead control signal 121 and the lead clock 119-1, and the RAM write strobe signal 114 is generated in the AND logic of the light control signal 120 and the light clock 119-2. The timing of this RAM read strobe signal 113 and the RAM write strobe signal 114 is shown in drawing 11.

[0059] Data are transmitted through the RAM light data bus 108 and the RAM lead data bus 107 between the CPU arithmetic unit 100 and RAM101 to the strobe timing mentioned above. As mentioned above, dividing of the oscillation clock is usually carried out, and the interior-action timing clock signal group 119 of a processor is generated.

[0060] In the processor of this example, if the quenching signal 122 from the CPU arithmetic unit 100 is set to high level (a signal 112-1 is a low level), KUROKKUDOGÉ-TO 109 will be turned off and will suspend oscillation actuation. At this time, since it is set to a low level, the gate signal 112-1 of the PMOS transistor MP 6 for pull-up is PMOS. MP6 is turned on and the input of an inverter 110 is fixed to supply voltage  $V_{cc}$ . Usually, at oscillation mode, it is PMOS. MP6 is an OFF state.

[0061] In this example, the processor LSI in which the low-battery actuation not more than about supply voltage 2V is possible is realizable.

[0062] furthermore, damping resistance -- incorporating -- an external pin -- preparing -- external signal control -- or it is clear by setting mho Dodi-TA as an internal register (RAM101) from the CPU arithmetic unit 100 that add [ the function which makes this damping resistance adjustable ] it can do easily. Thereby, oscillation starting is easy at the time of a low battery and the high voltage, and the microprocessor which built in the oscillator circuit excellent in surge-proof noise nature and an abnormality-proof oscillation property can be realized.

[0063] The configuration of other examples of the oscillator circuit concerning this invention is shown in drawing 12. The basic oscillator-circuit section which is the basic component of the oscillator circuit in this example is a D type NMOS transistor. NM10, E type NMOS transistor It consists of an ED mold inverter circuit of NM9.

[0064] It is an NMOS transistor to restrict the minimum value of supply voltage  $V_{cc}$  in this example. It is the threshold electrical potential difference  $V_{thn}$  of NM9, and oscillation stabilization starting voltage can be reduced sharply (in a formula (1), the term of  $|V_{thp}|$  becomes zero). In addition, they are a power supply terminal and an NMOS transistor in order to reduce power consumption in this example. The resistance R6 for current limiting is formed between NM(s)10.

[0065] Next, the configuration of other examples of this invention is shown in drawing 13. The basic oscillator-circuit section which is the basic component of an oscillator circuit [ in / on this drawing and / this example ] is an NMOS transistor. It is constituted including NM9 and ER mold inverter circuit which consists of load resistance R7.

[0066] It is an NMOS transistor to restrict the minimum of supply voltage  $V_{cc}$  of operation also in this



example. It is only the threshold electrical potential difference of NM9, and the same effectiveness as the above-mentioned configuration can be expected. What is necessary is just to design load resistance R7 greatly to reduce power consumption in this example. In addition, it is as other examples having explained the damping resistance Rd.

[0067]

[Effect of the Invention] As explained above, the oscillator circuit which according to this invention stable oscillation starting was completed on low supply voltage level, and aimed at prevention of an abnormality oscillation is realizable, and when including this in LSI, such as Microcomputer LSI, low supply voltage-ization can be attained easily. Moreover, a circuit scale is small, and ends and the effectiveness of being useful is in cost reduction.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of one example of the oscillator circuit concerning this invention.

[Drawing 2] It is the circuit diagram showing the configuration of the conventional oscillator circuit which used the quartz resonator.

[Drawing 3] It is a timing chart explaining the operating characteristic of the oscillator circuit shown in drawing 2 .

[Drawing 4] It is the circuit diagram showing the configuration of other examples of the oscillator circuit concerning this invention.

[Drawing 5] It is the circuit diagram showing the configuration of the example of further others of the oscillator circuit concerning this invention.

[Drawing 6] It is a timing chart for explaining the operating state of the oscillator circuit shown in drawing 5 .

[Drawing 7] It is the circuit diagram showing the configuration of the example of further others of the oscillator circuit concerning this invention.

[Drawing 8] It is the circuit diagram showing the example at the time of applying the oscillator circuit concerning this invention to the single chip microprocessor LSI.

[Drawing 9] It is the circuit diagram showing the concrete configuration of the clocked gate mold inverter in drawing 8 .

[Drawing 10] It is the circuit diagram showing the concrete configuration of the frequency divider in drawing 8 .

[Drawing 11] It is a timing chart for giving explanation of the oscillator circuit shown in drawing 8 of operation.

[Drawing 12] It is the circuit diagram showing the configuration of the important section of the example of further others of the oscillator circuit concerning this invention.

[Drawing 13] It is the circuit diagram showing the configuration of the important section of the example of further others of the oscillator circuit concerning this invention.

[Description of Notations]

MP1 PMOS transistor

MP2 PMOS transistor

MP3 PMOS transistor

MP4 PMOS transistor

MP5 PMOS transistor

MN1 NMOS transistor

MN2 NMOS transistor

MN3 NMOS transistor

MN4 NMOS transistor

MN5 NMOS transistor

MN6 NMOS transistor

6 Oscillation Vibrator

10 2 Input NAND Gate

11 Inverter

12 Inverter

13 Inverter

14 Inverter

16 Inverter

17 Inverter

18 Frequency Divider

19 Toggle Type Flip-flop

20 Toggle Type Flip-flop

21 Toggle Type Flip-flop

22 Toggle Type Flip-flop

23 Toggle Type Flip-flop

24 Toggle Type Flip-flop

25 Toggle Type Flip-flop

26 Toggle Type Flip-flop

27 Toggle Type Flip-flop

28 Inverter

29 OR Gate

33 Clocked 2 Input NAND Gate

Rd Damping resistance

C4 Resonance capacity

C5 Resonance capacity

R3 Bias resistance

OSC1 LSI oscillation output terminal

OSC2 LSI oscillation input terminal

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-29743

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.<sup>5</sup>

H 0 3 B 5/32

識別記号

庁内整理番号

F I

技術表示箇所

D 8321-5 J

審査請求 未請求 請求項の数6(全 9 頁)

(21)出願番号 特願平4-182450

(22)出願日 平成4年(1992)7月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72)発明者 久保木 茂雄

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

(72)発明者 三河 広治

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

(74)代理人 弁理士 鶴沼 辰之

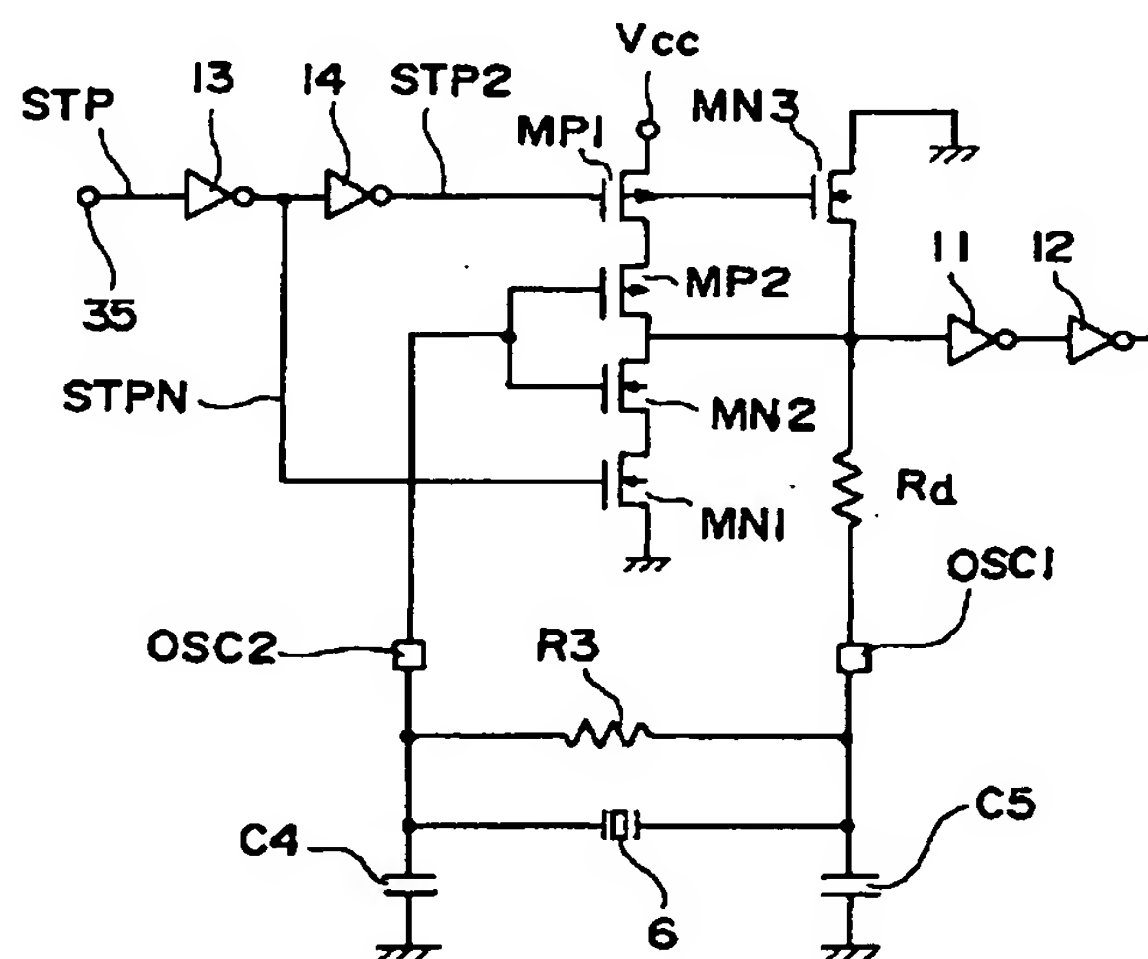
最終頁に続く

(54)【発明の名称】 発振回路

(57)【要約】

【目的】 L S I 化に好適で、低電源電圧下で安定な発振が可能な発振回路を提供すること。

【構成】 水晶振動子6と、増幅回路とを有する発振回路において、増幅回路としてMOSトランジスタMP1, MP2, MN1, MN2とからなるクロックドゲート構成を用い、クロック信号が入力されるMOSゲートMP1, MN1を負荷抵抗として使用することによりゲインをあげ、かつ消費電流を低減できるようにする。また、ダンピング抵抗Rdを、発振が安定状態になるまでは低抵抗に設定し、安定状態になったところで高抵抗に切り換えるようにすることにより、発振起動を容易にすると共に異常発振を防止する。また、増幅回路を少なくとも負荷抵抗素子と駆動MOSトランジスタからなる論理ゲートで構成し、低電圧発振を容易にする。



(2)

## 【特許請求の範囲】

【請求項1】 固有振動子と、増幅回路とを有する発振回路において、

発振出力を遅延させる分周回路と、

前記増幅回路の出力側に接続され、前記分周回路出力によって抵抗値が可変されるように制御される抵抗素子と、

発振起動時には前記抵抗素子の抵抗値を小さく、発振安定化後に該抵抗素子の抵抗値を大きくするように制御する制御手段とを有することを特徴とする発振回路。

【請求項2】 前記抵抗素子はデプレッション型MOSトランジスタで構成されてなることを特徴とする請求項1に記載の発振回路。

【請求項3】 前記抵抗素子は、固定抵抗素子群とMOSスイッチ群とから構成され、該MOSスイッチ群を切換制御することにより前記抵抗素子の合成抵抗値が決定されるように構成されたことを特徴とする請求項1に記載の発振回路。

【請求項4】 固有振動子と、増幅回路とを有する発振回路において、

前記増幅器は、発振回路を動作させる電源と接地間に少なくとも負荷抵抗素子とMOSトランジスタとを直列接続して構成された論理ゲート回路であることを特徴とする発振回路。

【請求項5】 固有振動子と、増幅器とを有する発振回路において、

前記増幅器は、発振回路を動作させる電源と接地間に少なくとも負荷抵抗素子を形成するデプレッション型MOSトランジスタと、エンハンスメント型MOSトランジスタとを直列接続した論理ゲート回路であることを特徴とする発振回路。

【請求項6】 前記負荷抵抗素子を形成するデプレッション型MOSトランジスタのゲート電極とソース電極とが短絡されたことを特徴とする請求項5に記載の発振回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、固有振動子を使用した発振回路に係り、特にマイクロプロセッサなどの半導体集積回路装置（以後LSIと称する）に組込可能で、かつ低電源電圧で動作可能な発振回路に関する。

## 【0002】

【従来の技術】近年、水晶振動子を使用した発振回路は、腕時計用ICやマイクロプロセッサなどに盛んに使用されている。この種の発振回路は、半導体集積回路装置の小型化、電池長寿命化に伴い、電池本数を減らし、2V以下の低電源電圧域で動作することが要求されている。

【0003】水晶振動子やセラミックフィルタを使用した従来のCMOS発振回路の構成を図2に示す。同図に

2

において発振回路は、2入力NANDゲート10と、発振回路出力波形整形用インバータ11、12と、帰還抵抗R3と、位相補正用抵抗及びダンピング抵抗として動作する抵抗Rdと、水晶振動子6と、発振安定化及び発振周波数調整のための容量C4、C5とから構成されている。通常、抵抗Rdの抵抗値は1k～100kオーム程度である。

【0004】次にこの発振回路の動作について図3のタイムチャートを参照して説明する。発振停止信号STPN（負論理）がローレベル（論理0）になると、2入力NANDゲート10の出力はハイレベル（論理1）に固定され、発振動作は停止する。一方、発振停止信号STPNがハイレベルになると、2入力NANDゲート10はインバータとして動作し、発振が安定化するまではバイアス電圧を中心とした微小電圧増幅器として働く。

【0005】発振停止信号STPNがハイレベルになると、発振回路はイネーブル状態となり、発振回路を起動してから発振動作が安定するまでの時間である発振開始時間TRC経過後、発振動作は安定する。

【0006】既述したようにこの種の発振回路ではより低電源電圧で発振開始時間TRCを短縮することが要求されている。水晶振動子を使用した従来の発振回路では例えば、発振開始時間TRCは発振周波数4MHzの場合60mS程度である。

【0007】文献（電子通信学会誌、'78/10、Vol. J61-C、No. 10、pp636-643）に記載されているように、水晶振動子を使用した発振回路の発振開始電圧Vstは一般に下記のファクターによって影響される。

【0008】（1）ゲートの駆動MOSトランジスタのチャンネル比W/L

（2）MOSトランジスタのしきい値電圧Vth

（3）発振回路の外部温度

（4）水晶振動子のCI値（クリスタルインピーダンス値）

一般に、発振開始電圧Vstは、Log(W/L)に反比例するが、チャンネル比W/Lを10倍に増加させても0.3V程度しか低下しない。

【0009】さらに、チャンネル比W/L（電流増幅率gm）を大きくすることは消費電流が増大し、問題となる。MOSトランジスタのしきい値電圧Vthを下げることも発振開始電圧Vstを低下させる一方法であるが、やはり消費電流を増加させる欠点がある。

【0010】更に水晶振動子のCI値は製造条件で決まる指数であり、制御が困難である。以上の条件から発振開始電圧Vstが2V以下の発振回路を実現するのは困難である。

【0011】一方、一般に異常発振を防止し、安定な発振動作を実現するため水晶振動子等を使用した発振回路に高抵抗値のダンピング抵抗Rdが設けられるが、この



(3)

3

ダンピング抵抗 $R_d$ は低電源電圧における発振起動特性を悪化させる（発振開始電圧 $V_{st}$ を増大させる）という問題があった。

【0012】

【発明が解決しようとする課題】上記従来技術では前述したように、電源電圧の低電圧化に対応するためには駆動用MOSトランジスタの電流増幅率 $g_m$ を大きくするか、しきい値電圧 $V_{th}$ を小さくする必要があるが、このようにすると消費電流の増大を招くという問題があった。

【0013】更に高電源電圧域での異常発振を防止するために、ダンピング抵抗を必要としたが、このダンピング抵抗を設けることにより低電源電圧域における発振特性を悪化させるという問題があった。

【0014】本発明はこのような事情に鑑みてなされたものであり、LSI化に好適で低電源電圧域でも安定発振が可能な発振回路を提供することを目的とする。すなわち、2V以下の低い電源電圧でも短い発振開始時間で発振を可能にするとともに、安定な発振動作が可能な発振回路を提供することを目的とする。

【0015】また本発明は、より低電源電圧で、例えば0.8～1.5Vでも安定に発振することができる発振回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の発振回路は、固有振動子と、増幅回路とを有する発振回路において、発振出力を遅延させる分周回路と、前記増幅回路の出力側に接続され、前記分周回路出力によって抵抗値が可変されるように制御される抵抗素子と、発振起動時には前記抵抗素子の抵抗値を小さく、発振安定化後に該抵抗素子の抵抗値を大きくするように分周回路出力を制御する制御手段とを有することを特徴とする。

【0017】また本発明の発振回路は、前記抵抗素子はデプレッション型MOSトランジスタで構成されてなることを特徴とする。

【0018】更に本発明の発振回路は、前記抵抗素子は、固定抵抗素子群とMOSスイッチ群とから構成され、該MOSスイッチ群を切換制御することにより前記抵抗素子の合成抵抗値が決定されるように構成されたことを特徴とする。

【0019】また本発明の発振回路は、固有振動子と、増幅回路とを有する発振回路において、前記増幅器は、発振回路を動作させる電源と接地間に負荷抵抗素子とMOSトランジスタとを直列接続して構成されたインバータ回路であることを特徴とする。

【0020】更に本発明の発振回路は、固有振動子と、増幅器とを有する発振回路において、前記増幅器は、発振回路を動作させる電源と接地間に負荷抵抗素子を形成するデプレッション型MOSトランジスタと、エンハンスメント型MOSトランジスタとを直列接続したインバ

4

ータ回路であることを特徴とする。

【0021】また本発明の発振回路は、前記負荷抵抗素子を形成するデプレッション型MOSトランジスタのゲート電極とソース電極とが短絡されたことを特徴とする。

【0022】

【作用】上記構成の発振回路においては、分周回路により発振出力が遅延させられ、前記増幅回路の出力側に接続された抵抗素子の抵抗値が前記分周回路出力によって可変されるように制御される。また制御手段により発振起動時には前記抵抗素子の抵抗値が小さく、発振安定化後に該抵抗素子の抵抗値が大きくなるように分周回路出力が制御される。

【0023】また上記構成の発振回路においては、前記抵抗素子は、固定抵抗素子群とMOSスイッチ群とから構成され、該MOSスイッチ群を切換制御することにより前記抵抗素子の合成抵抗値が決定される。

【0024】更に上記構成の発振回路においては、発振回路を構成する増幅器は、発振回路を動作させる電源と接地間に負荷抵抗素子とMOSトランジスタとを直列接続して構成されたインバータ回路、あるいは発振回路を動作させる電源と接地間に負荷抵抗素子を形成するデプレッション型MOSトランジスタと、エンハンスメント型MOSトランジスタとを直列接続したインバータ回路である。そのためにしきい値電圧を低減でき（駆動NMOSトランジスタの $V_{th}$ だけを考慮すればよい。式

(1)参照)、それ故発振開始電圧を低下させることができる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1には本発明に係る発振回路の一実施例の構成が示されている。本実施例ではLSIに適用した例を示すが、以下の説明からもわかるように、何もLSIに限定されることはなく、広く一般の装置に適用できることは明らかである。

【0026】図1において、本発明に係る発振回路はクロックド・インバータゲートを構成するPMOSトランジスタ $MP_1$ 、 $MP_2$ と、NMOSトランジスタ $MN_1$ 、 $MN_2$ と、このクロックド・ゲートを制御する信号を生成するインバータ13、14と、NMOSトランジスタ $MN_3$ と、出力クロック波形整形用インバータ11、12と、帰還抵抗 $R_3$ と、水晶振動子6と、共振容量 $C_4$ 、 $C_5$ と、ダンピング抵抗 $R_d$ とを有している。

【0027】上記構成において、インバータ11、12は発振回路出力を波形整形してマイコンLSIなどの内部クロック信号を生成する。

【0028】またNMOSトランジスタ $MN_3$ は、発振停止モードにおいて発振停止信号 $STP$ がハイレベルの時オンになり、クロックド・ゲート出力を接地電位に固定するプルダウン抵抗として機能する。

(4)

5

【0029】このように本実施例ではクロックドMOSゲートMP1, MN1とプルダウンMOS MN3によって発振モード／発振停止モードを制御出来る特長を有する。

【0030】尚、Vccは電源電圧端子、35は発振停止信号STPが入力される端子である。

【0031】本実施例では、CMOS発振回路としてク\*

$$G = g_m \cdot r_d = \beta_p \cdot \beta_n (V_{cc} - V_{thn} - |V_{thp}|) \times [(r_{N1} + r_{N2}) / (r_{P1} + r_{P2})] \quad (1)$$

)

ここで、 $r_d$ は負荷抵抗素子としてのMOSダイナミック抵抗、 $r_{Ni}$ ,  $r_{Pi}$ はそれぞれNMOSトランジスタ $MNi$ 、PMOSトランジスタ $MPi$ のドレイン・ソース間ダイナミック抵抗である。

【0034】また $\beta_p$ ,  $\beta_n$ はそれぞれPMOSトランジスタ、NMOSトランジスタのチャンネルコンダクタンス、 $V_{thp}$ ,  $V_{thn}$ はそれぞれPMOSトランジスタ、NMOSトランジスタのしきい値電圧である。

【0035】発振開始電圧 $V_{st}$ を低減させるためにはゲイン $G$ を大きくする必要がある。このためには前述したように駆動用MOSトランジスタ MN2, MP2のサイズ( $W/L$ または $\beta_p$ ,  $\beta_n$ )を大きく設計する。本発明の構成では $r_{N1}$ と $r_{P1}$ の抵抗が付加されるため、さらにゲインが増加する効果がある。

【0036】一方、MOSトランジスタMP1, MN1のサイズを小さく設計し、高抵抗とすることにより、消費電流を低減できる。このことは $r_{N1}$ と $r_{P1}$ が高抵抗となることを意味し、ゲインも増加する。

【0037】また、発振動作が安定状態になるまではダンピング抵抗 $R_d$ を低抵抗に設定し、安定状態になったところで高抵抗に切り換えるようにすることにより、発振起動を容易にすると共に異常発振を防止することができる。

【0038】本発明の他の実施例の構成を図4に示す。本実施例は、図1に示した実施例においてクロックド・インバータの代わりにクロックド2入力NANDゲートを適用したものである。前図と同等もしくは同一の機能を有する要素は同一符号で示してある。尚、図4(A)は発振回路の全体構成を、図4(B)はクロックド2入力NANDゲート33の具体的構成を示している。

【0039】これらの図において、クロックド2入力NANDゲート33は2入力NAND部を構成するPMOSトランジスタ MP4, MP5と、NMOSトランジスタMN4, MN5と、クロックドゲートを形成するPMOSトランジスタ MP3, NMOSトランジスタMN6から構成されている。

【0040】発振回路の発振停止、起動モードの設定は2入力NAND部を構成するMOSトランジスタMP5, MN5を発振停止信号STPNでオン、オフさせることにより行う。MOSトランジスタMP3, MN6の

6

\* ロックド・ゲートを採用し、また制御信号によって抵抗値が可変となるように制御できるダンピング抵抗素子(図1には図示せず)を採用した。

【0032】本実施例では上記クロックド・ゲート構成により低消費電流と高ゲインを実現した。ゲイン $G$ は次式で表される。

【0033】

ゲート電極はそれぞれ接地電位、電源電位 $V_{cc}$ に固定されており、MOSトランジスタMP3, MN6は負荷抵抗素子として機能している。

【0041】次に本発明の更に他の実施例の構成を図5に示す。本実施例に係る発振回路は基本発振回路部40と、波形整形回路50と、基本クロックタイミング信号32を生成する論理ブロック60と、分周回路70とからなる。

【0042】基本発振回路部40は、水晶振動子6と、容量C4, C5と、2入力NANDゲート10と、帰還抵抗 $R_3$ と、ダンピング抵抗 $R_d$ の機能をするDタイプ(デプレッション型)NMOSトランジスタMN7と、インバータ13とを有している。また波形整形回路50は、インバータ11, 12, 16, 17からなり、分周回路70はインバータ28と、トグルタイプ・フリップフロップ19~27と、オアゲート29から構成されている。

【0043】次に動作について説明する。発振停止モードに設定されている時には発振停止制御信号STPはハイレベルとなっており、基本発振回路部40は発振停止状態となり、分周回路70はリセット状態となる。分周回路70を構成するトグルタイプ・フリップフロップ19~27のQ出力はすべてローレベルになるので、分周回路70の出力31はハイレベル(電源電圧)となり、DタイプNMOSトランジスタ MN7の抵抗値は低く、すなわち低電源電圧でも発振しやすい状態に設定される。

【0044】発振回路が発振停止モードから発振モードに切り替えられると、すなわち発振停止信号STPがローレベルになると、基本発振回路部40が起動され、起動時から発振開始時間 $T_{RC}$ 経過時点で信号線30-1にはクロック信号が送られ、分周回路70に入力される。

【0045】クロック信号は、トグルタイプ・フリップフロップ19~21により8分周され、さらにトグルタイプ・フリップフロップ22~27により64分周される。このようにしてトグルタイプ・フリップフロップ27のQ出力33がハイレベルになり、分周回路70の出力31はローレベルに変化し、今度はDタイプNMOS MN7の抵抗はダンピング抵抗として機能すべく高く設定される(MN7のゲート電圧が接地電位になるため

10

20

30

40

50

(5)

7

抵抗値が高くなる)。

【0046】このとき分周回路出力33は、ハイレベルに設定されるとオアゲート29出力をハイレベルに固定するので8分周回路出力はマスクされ、発振停止信号STPが次にローレベルになるまで発振モード状態を保持する。

【0047】本実施例に係る発振回路の動作について図6のタイムチャートを参照して更に詳細に説明する。発振回路の起動後、発振開始時間 $T_{RC}$ 経過後に基本発振回路部40の出力は、定常振幅で安定発振に落ち着く。インバータ11、12を介して得られる基本発振回路部40の出力30-1はトグルタイプフリップフロップ立ち下がりエッジセンス19、20、21により8分周され、更にトグルタイプフリップフロップ立ち下がりエッジセンス22~27で64分周される。

【0048】基本発振回路部40の出力30-1の周期を $T_C$ とすれば、トグルタイプフリップフロップ立ち下がりエッジセンス22~27で構成される64分周回路の出力33は、発振開始時点から256 $T_C$ 経過後にハイレベルになるので、同時にオアゲート29出力はハイレベルに固定される。したがって、256 $T_C$ 経過後に正規の抵抗値のダンピング抵抗が基本発振回路部40の出力側に挿入される。

【0049】次に本発明に係る発振回路の更に他の実施例の構成を図7に示す。本実施例は発振回路の起動時と発振動作が安定した時点で抵抗値の異なる2種類のダンピング抵抗を切り換えるようにしたものである。

【0050】本実施例に係る発振回路の構成は、基本発振回路部40以外は図5の構成と全く同様であるので基本発振回路部の構成についてのみその要部について示す。尚、図5に示した要素をと同一または同一の機能を有する要素については同一の符号を示し、重複する説明は省略する。本実施例が図5に示した実施例と構成上、異なるのはダンピング抵抗として機能するDタイプNMOSトランジスタMN7の代わりにダンピング抵抗R4、R5 ( $R_4 \ll R_5$ )、NMOSトランジスタNM8、NM9、NMOS駆動信号生成インバータ34によりダンピング抵抗部を構成した点である。上記構成において、発振回路が発振停止モードに設定された場合、すなわち、発振停止信号STPがハイレベルになった場合には分周回路70の出力31はハイレベルとなり、NMOSトランジスタNM8はオン状態に、NMOSトランジスタNM9はオフ状態になる。この状態下では基本発振回路部40の出力側には抵抗値が十分、小さい抵抗R4が挿入される。

【0051】一方、発振回路が発振モード(発振停止信号がローレベル)に設定され、発振動作が安定状態になると(少なくとも発振停止信号STPがハイレベルからローレベルに変化した時点から256 $T_C$ 経過後)、上述した動作と逆の動作を行ない、ダンピング抵抗として

8

機能する抵抗R5が基本発振回路部40の出力側に挿入される。尚、抵抗R4、R5は拡散層、ポリシリコン、デプレッションタイプNMOS抵抗等で構成される。

【0052】R3の役目をする可変抵抗素子は、DタイプNMOSに限ることは無く、電気信号によって抵抗値が変わるものなら良い。複数の抵抗素子をMOSスイッチで切り換えて抵抗を変化するようにしても良い。

【0053】図5及び図7に示した実施例では基本発振回路部として従来の発振回路を用いたが、図1及び図4に示したクロックドゲート構成を用いれば低電圧における発振起動特性も大幅に改善される。これについてはこれまでの説明から明らかであり、図面は省略する。

【0054】図8はシングルチップマイクロプロセッサLSI(半導体集積回路装置)に適用した、本発明の他の実施例を示している。プロセッサLSI123は、CPU演算装置100、RAM101、ROM102、分周回路103、RAMライトデータバス108、RAMリードデータバス107、ROMリードデータバス118、それに発振回路から成る。発振回路は本発明による、クロックドゲート型インバータ109、帰還抵抗Rd、プルアップ用PMOSトランジスタMP6、それに外付けの発振振動子6、共振容量C4、C5の構成から成る。110、111は発振波形整形用インバータ、104、105はそれぞれRAMリード/ライト制御用ゲートを構成する2入力ANDゲート、106はROMリード制御用2入力ANDゲートである。

【0055】クロックドゲート型インバータ109は図9に示した回路で構成される。また分周回路103は図10で示され、Dタイプレベルラッチ124~127、2入力NORゲート128、129、インバータ130からなる。

【0056】次に動作について説明する。まず図11のタイムチャートを参照して分周回路103の動作について説明する。発振波形整形用インバータ111の出力111-1はDタイプレベルラッチから成る循環型シフトレジスタにクロックタイミングとして入力され、シフト動作を行う。

【0057】各ラッチのQ出力信号Q1、Q2N(Q2の負論理信号)、Q3、Q4N(Q4の負論理信号)は図11に示すごとくになり、2入力NORゲート128出力119-2、2入力NORゲート129出力119-1は、それぞれRAMのライトクロック、リードクロックを形成する。

【0058】図8において、RAMリードストロブ信号113はリード制御信号121とリードクロック119-1のAND論理で、RAMライトストロブ信号114はライト制御信号120とライトクロック119-2のAND論理で生成される。このRAMリードストロブ信号113とRAMライトストロブ信号114のタイミングは図11に示されている。



(6)

9

【0059】上述したストローブタイミングでデータは、CPU演算装置100と、RAM101との間でRAMライトデータバス108、RAMリードデータバス107を介して転送される。以上のように、通常発振クロックを分周してプロセッサの内部動作タイミングクロック信号群119が生成される。

【0060】本実施例のプロセッサではCPU演算装置100からの発振停止信号122がハイレベル（信号112-1がローレベル）になるとクロックドゲート109はオフ状態になり、発振動作を停止する。この時、プルアップ用PMOSトランジスタMP6のゲート信号112-1はローレベルになるのでPMOS MP6はオンになり、インバータ110の入力は電源電圧Vccに固定される。通常発振モードではPMOS MP6はオフ状態である。

【0061】本実施例では電源電圧2V程度以下の低電圧動作が可能なプロセッサLSIを実現できる。

【0062】更に、ダンピング抵抗を組み込み、外部ピンを設けて外部信号制御により、或いは内部レジスタ（RAM101）にCPU演算装置100からモードデータを設定することによって、該ダンピング抵抗を可変にする機能を付加する事は容易にできることは明らかである。これにより低電圧、高電圧時において発振起動が容易で且つ、耐サージノイズ性、耐異常発振特性に優れた発振回路を内蔵したマイクロプロセッサを実現できる。

【0063】本発明に係る発振回路の他の実施例の構成を図12に示す。本実施例における発振回路の基本構成部分である基本発振回路部は、DタイプNMOSトランジスタNM10、EタイプNMOSトランジスタNM9のED型インバータ回路からなる。

【0064】本実施例では電源電圧Vccの最小値を制限するのはNMOSトランジスタNM9のしきい値電圧 $V_{thn}$ のみであり、大幅に発振安定化起動電圧を低減できる（式（1）において $|V_{thp}|$ の項が零になる）。尚、本実施例では消費電力を低下させるために電源端子とNMOSトランジスタNM10との間に電流制限用抵抗R6が設けられている。

【0065】次に本発明の他の実施例の構成を図13に示す。同図において本実施例における発振回路の基本構成部分である基本発振回路部は、NMOSトランジスタNM9と、負荷抵抗R7からなるER型インバータ回路とを含んで構成される。

【0066】本実施例においても電源電圧Vccの動作下限を制限するのはNMOSトランジスタNM9のしきい値電圧のみであり、上記構成と同様の効果が期待できる。本実施例において消費電力を低減するには負荷抵抗R7を大きく設計すれば良い。尚、ダンピング抵抗Rdについては他の実施例で説明したとおりである。

【0067】

10

【発明の効果】以上に説明したように本発明によれば、低電源電圧レベルで安定な発振起動ができ、かつ異常発振の防止を図った発振回路が実現でき、これをマイコンLSI等のLSIに組み込む場合に低電源電圧化を容易に達成できる。また、回路規模は小さくてすみ、コスト低減に有用であるという効果もある。

【図面の簡単な説明】

【図1】本発明に係る発振回路の一実施例の構成を示す回路図である。

10 【図2】水晶振動子を使用した従来の発振回路の構成を示す回路図である。

【図3】図2に示した発振回路の動作特性を説明するタイミングチャートである。

【図4】本発明に係る発振回路の他の実施例の構成を示す回路図である。

【図5】本発明に係る発振回路の更に他の実施例の構成を示す回路図である。

【図6】図5に示した発振回路の動作状態を説明するためのタイミングチャートである。

20 【図7】本発明に係る発振回路の更に他の実施例の構成を示す回路図である。

【図8】本発明に係る発振回路をシングルチップマイクロプロセッサLSIに適用した場合の実施例を示す回路図である。

【図9】図8におけるクロックドゲート型インバータの具体的構成を示す回路図である。

【図10】図8における分周回路の具体的構成を示す回路図である。

30 【図11】図8に示した発振回路の動作説明をするためのタイミングチャートである。

【図12】本発明に係る発振回路の更に他の実施例の要部の構成を示す回路図である。

【図13】本発明に係る発振回路の更に他の実施例の要部の構成を示す回路図である。

【符号の説明】

MP1 PMOSトランジスタ  
MP2 PMOSトランジスタ  
MP3 PMOSトランジスタ  
MP4 PMOSトランジスタ  
MP5 PMOSトランジスタ  
MN1 NMOSトランジスタ  
MN2 NMOSトランジスタ  
MN3 NMOSトランジスタ  
MN4 NMOSトランジスタ  
MN5 NMOSトランジスタ  
MN6 NMOSトランジスタ  
6 発振振動子  
10 2入力NANDゲート  
11 インバータ  
50 12 インバータ

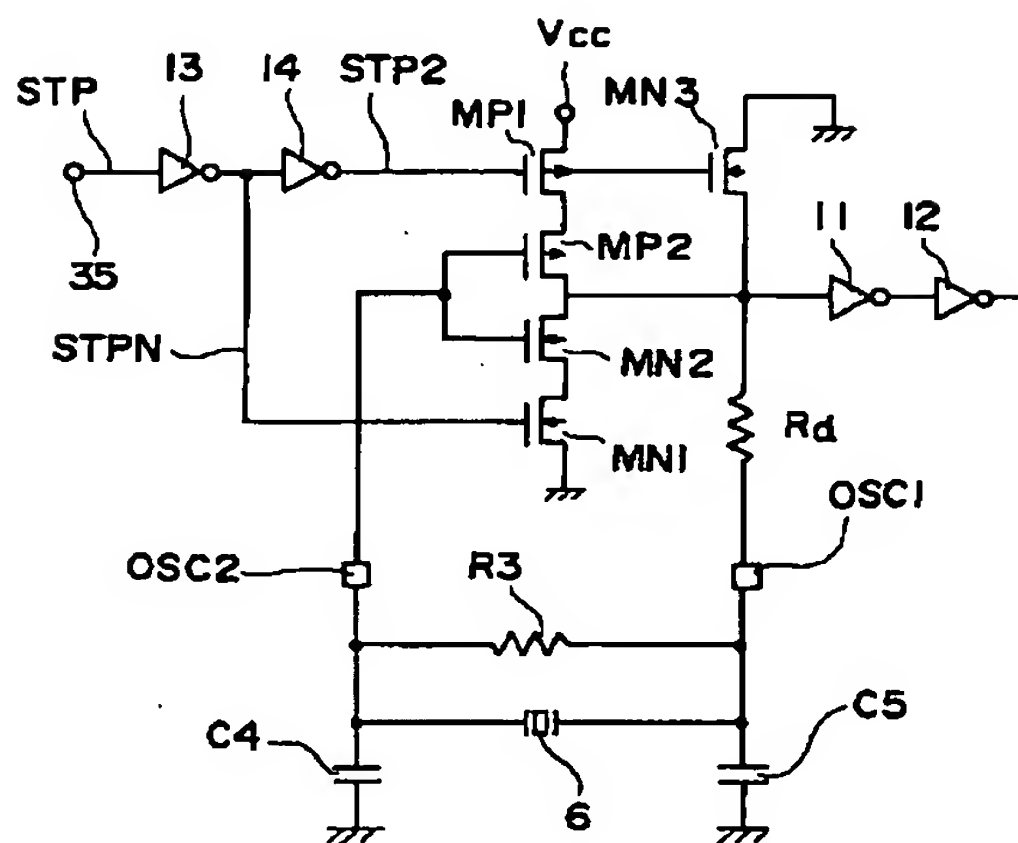


(7)

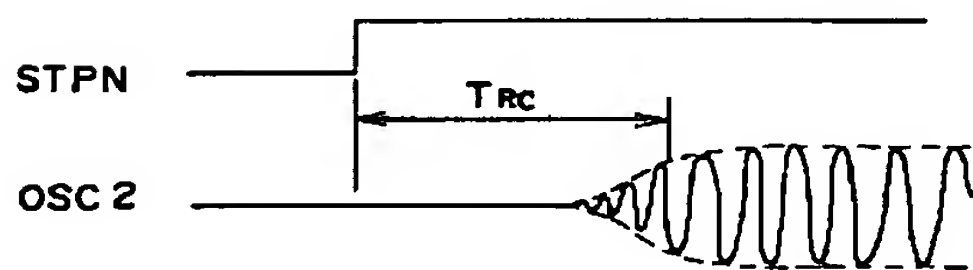
11

- 13 インバータ  
14 インバータ  
16 インバータ  
17 インバータ  
18 分周回路  
19 トグルタイプフリップフロップ  
20 トグルタイプフリップフロップ  
21 トグルタイプフリップフロップ  
22 トグルタイプフリップフロップ  
23 トグルタイプフリップフロップ  
24 トグルタイプフリップフロップ  
25 トグルタイプフリップフロップ

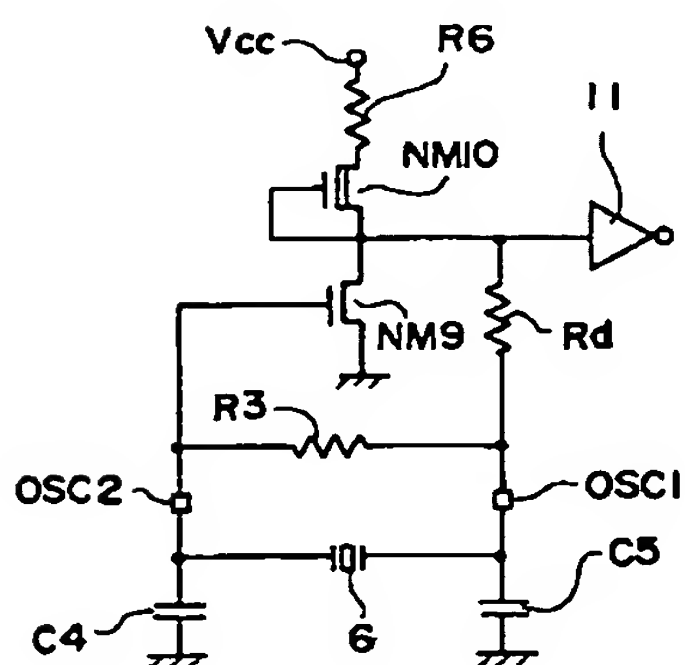
【図1】



【図3】



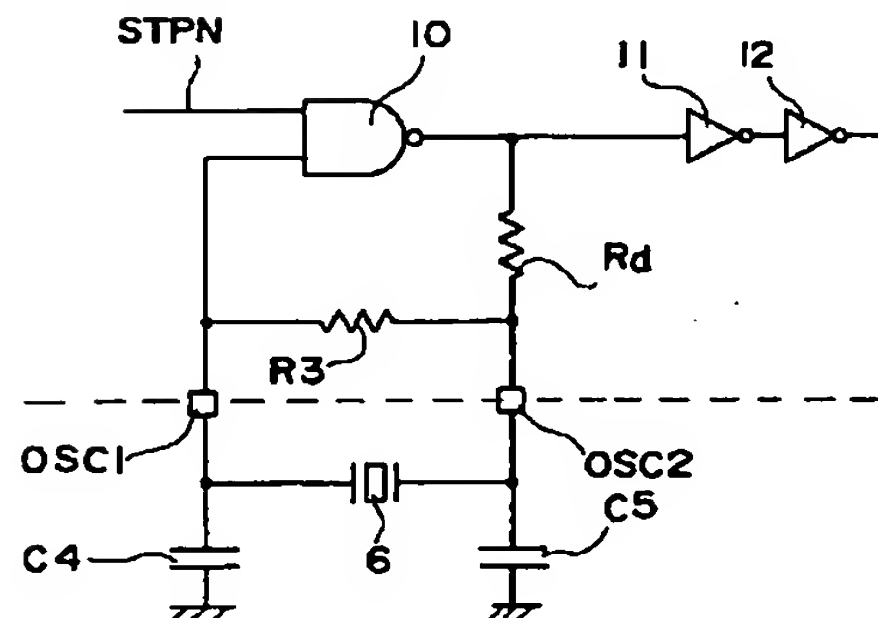
【図12】



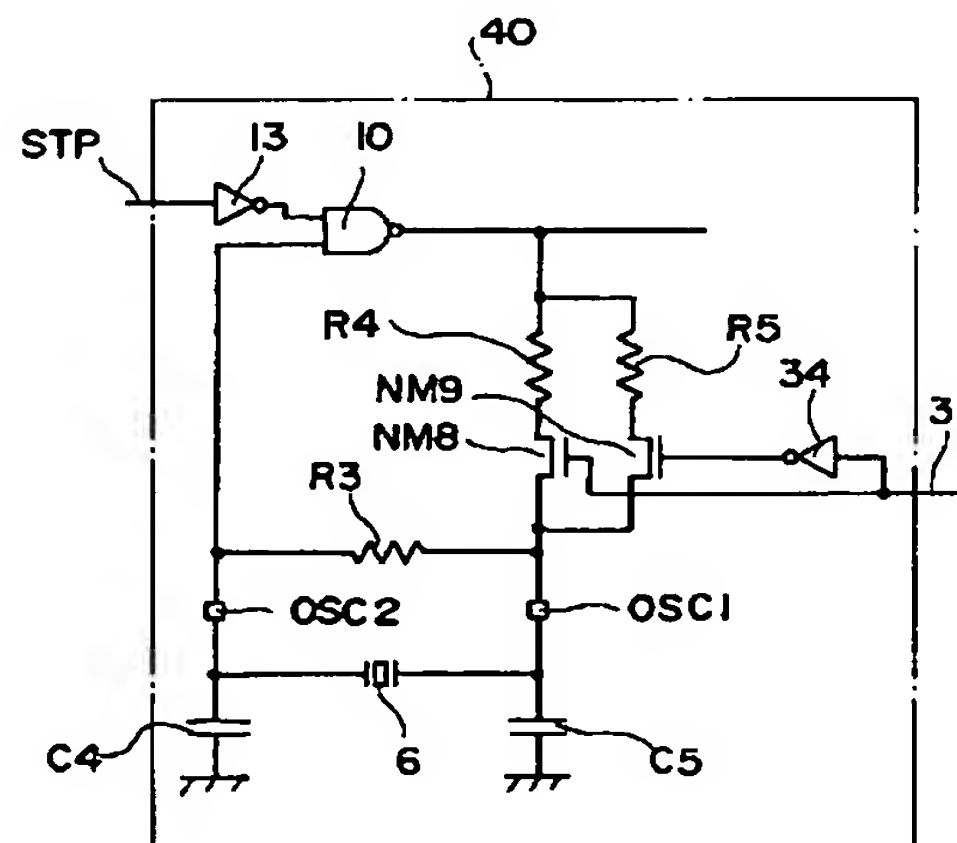
12

- 26 トグルタイプフリップフロップ  
27 トグルタイプフリップフロップ  
28 インバータ  
29 オアゲート  
33 クロックド2入力NANDゲート  
Rd ダンピング抵抗  
C4 共振容量  
C5 共振容量  
R3 バイアス抵抗  
10 OSC1 LSI発振出力端子  
OSC2 LSI発振入力端子

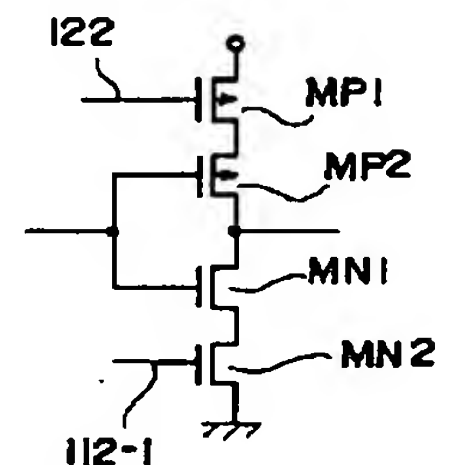
【図2】



【図7】

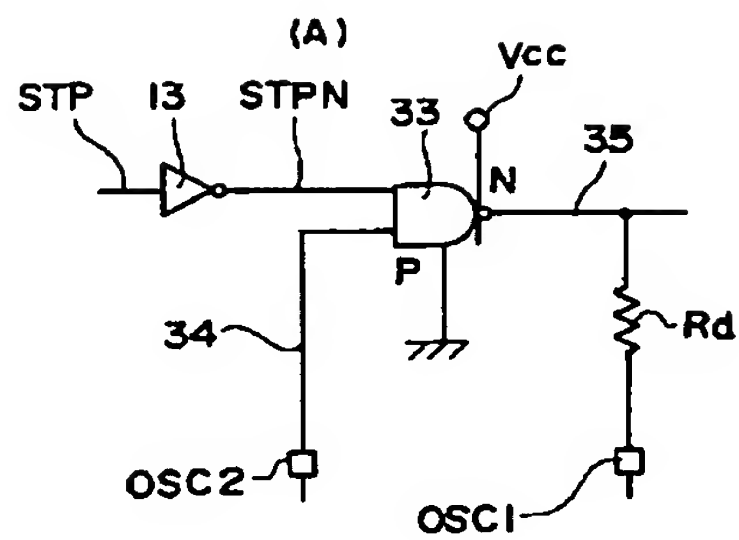


【図9】

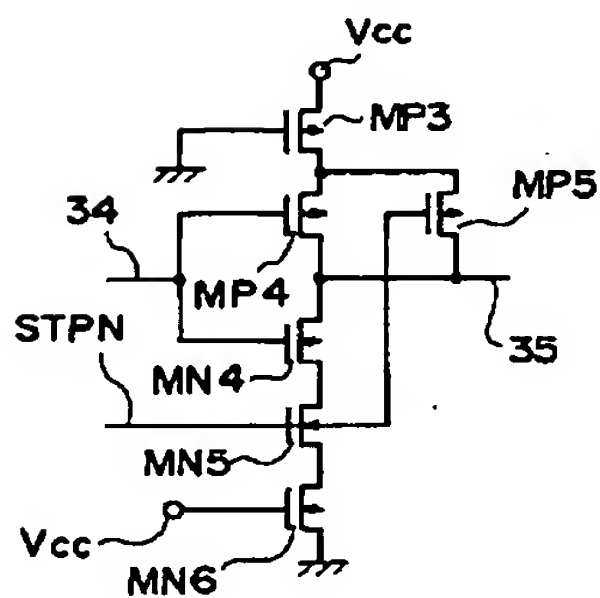


(8)

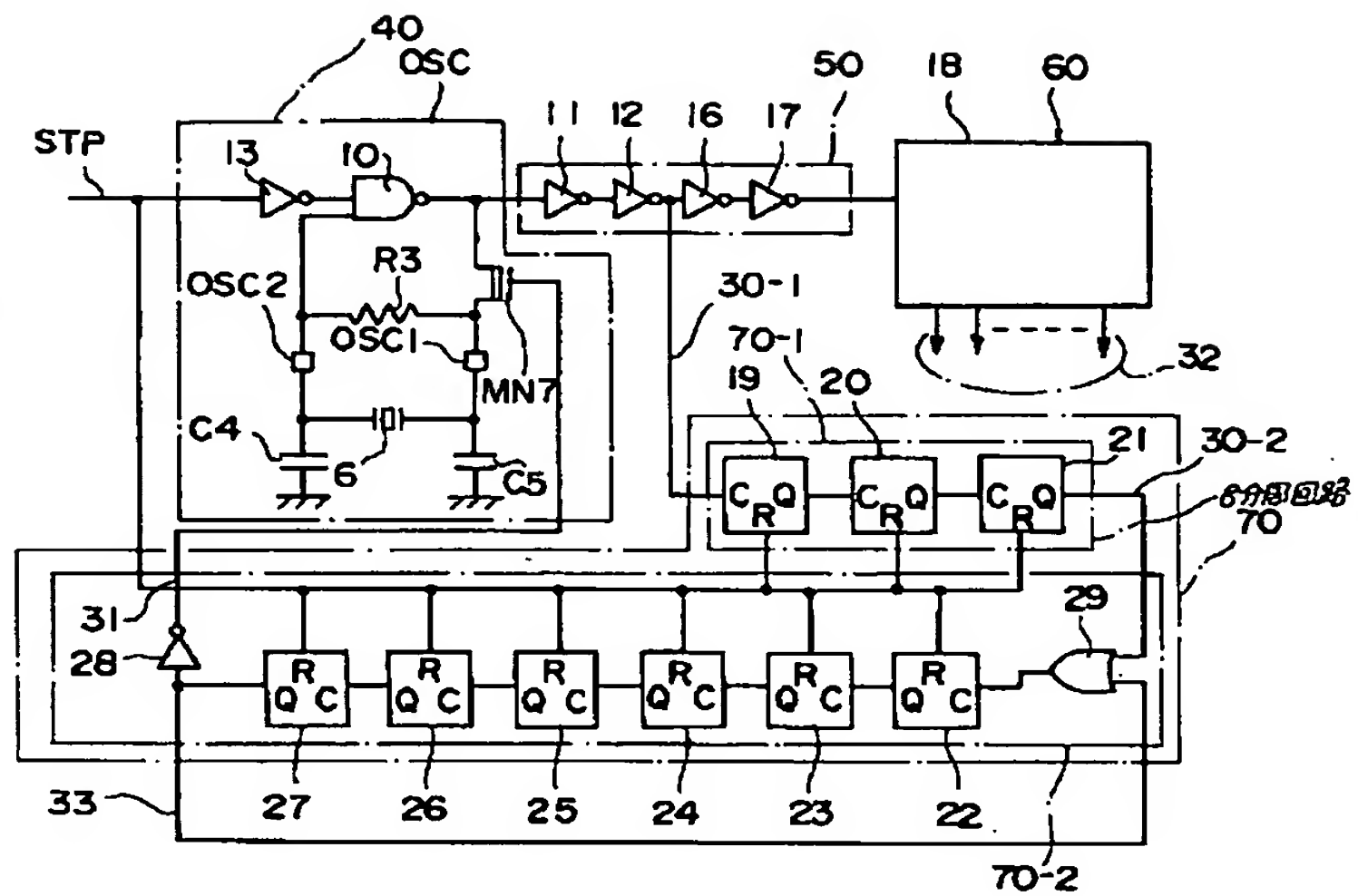
【図4】



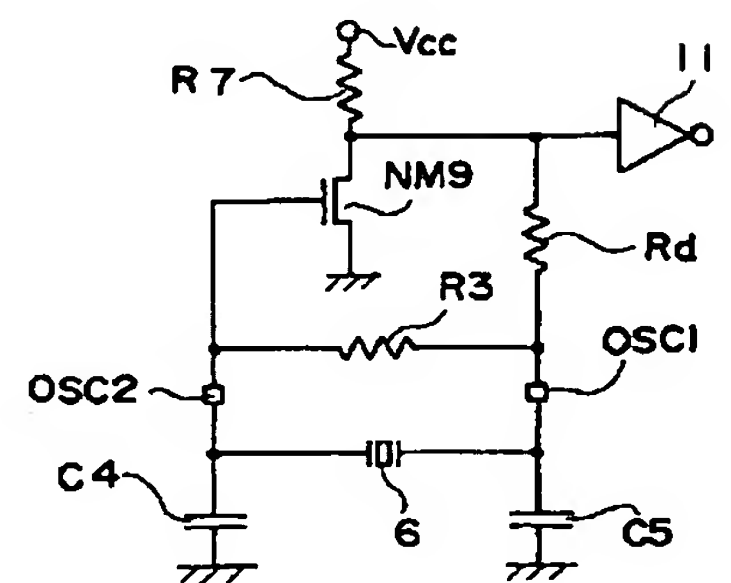
(B)



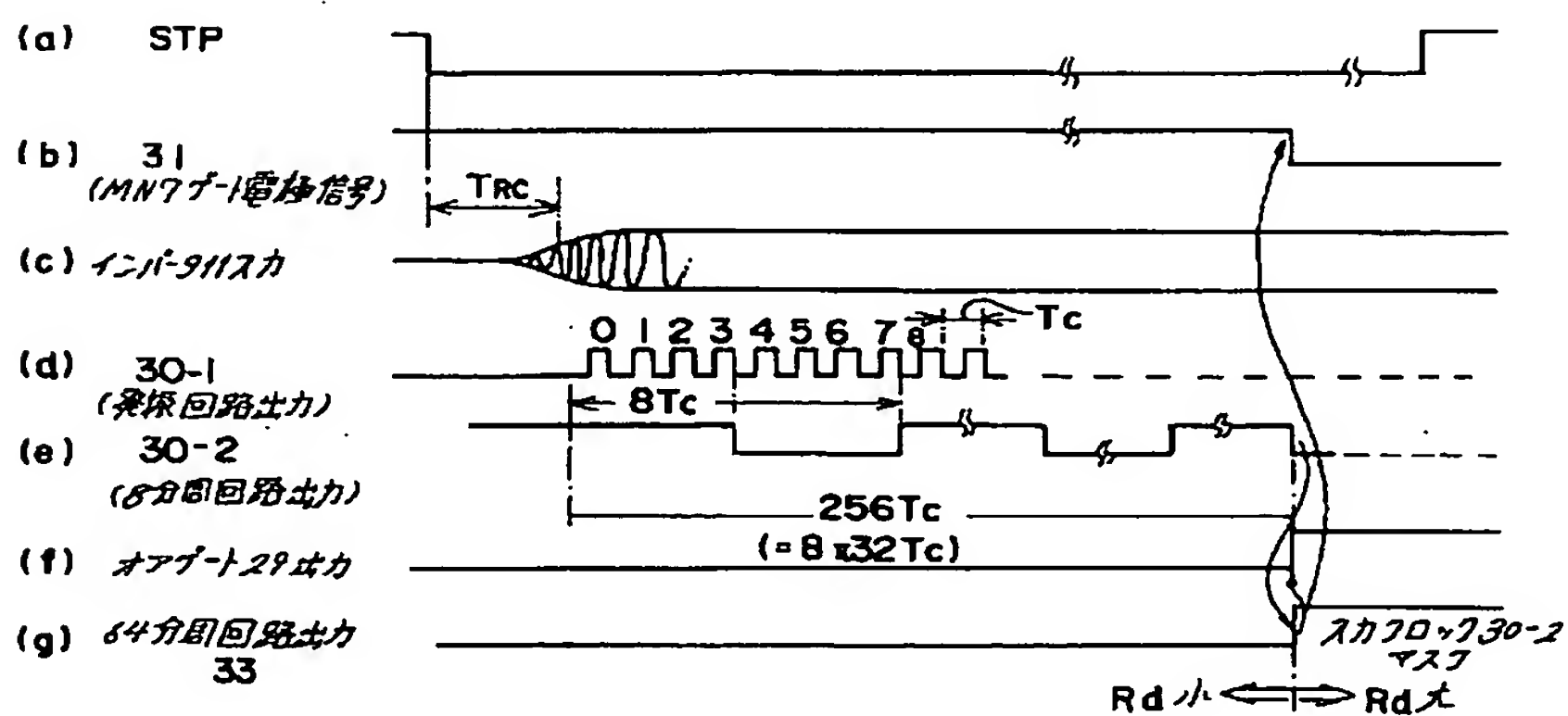
【図5】



【図13】

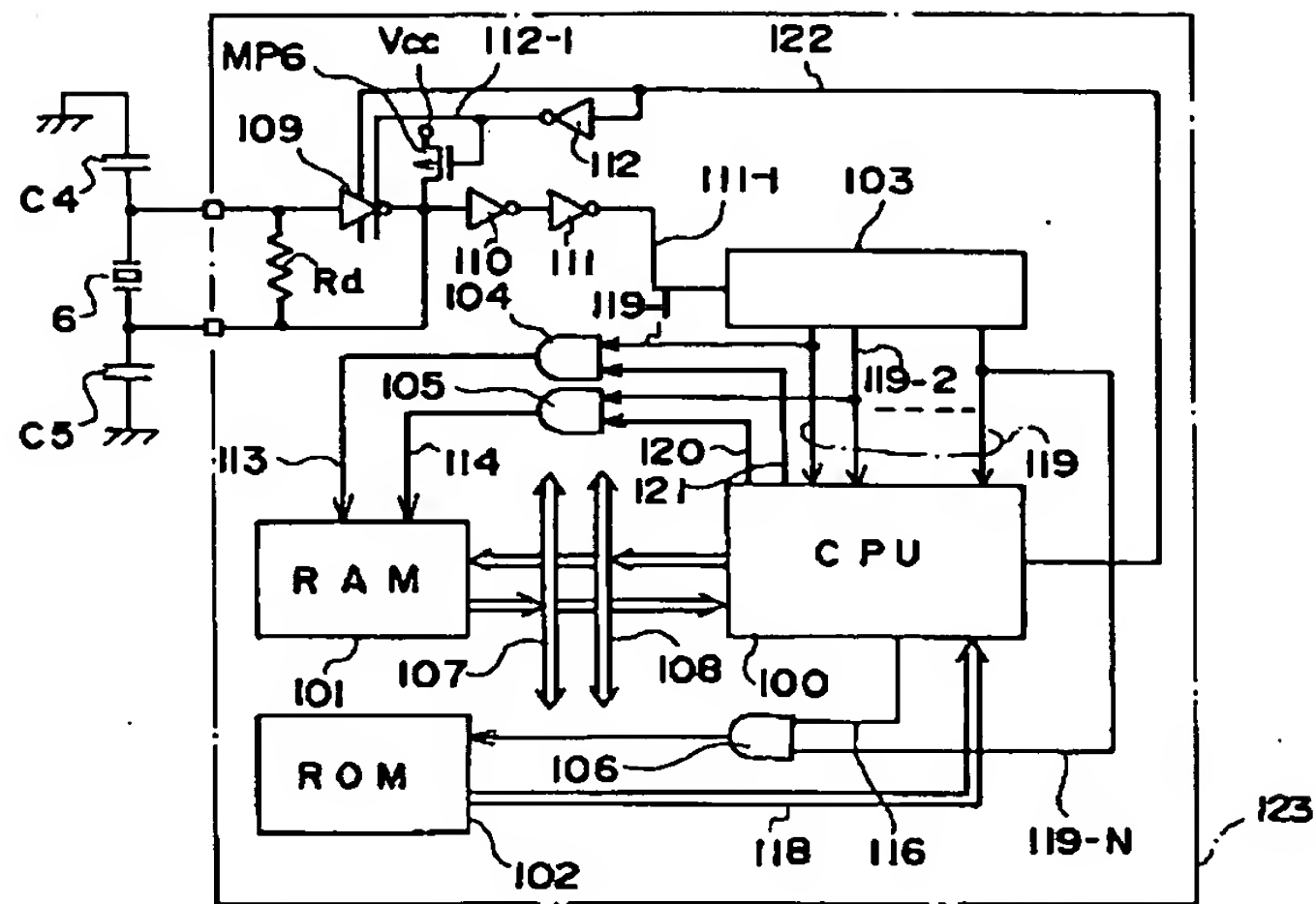


【図6】

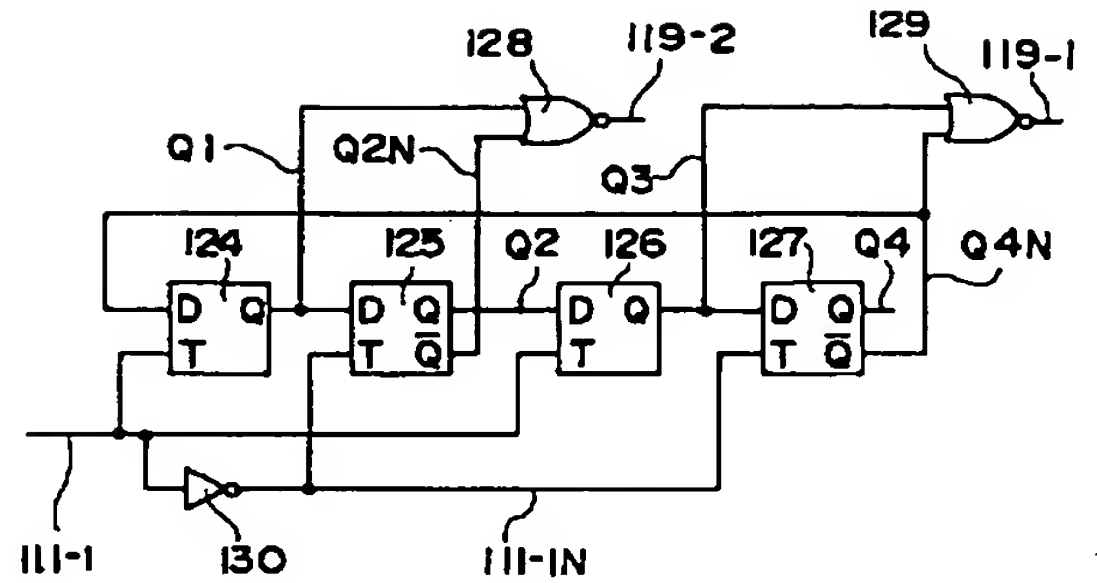


(9)

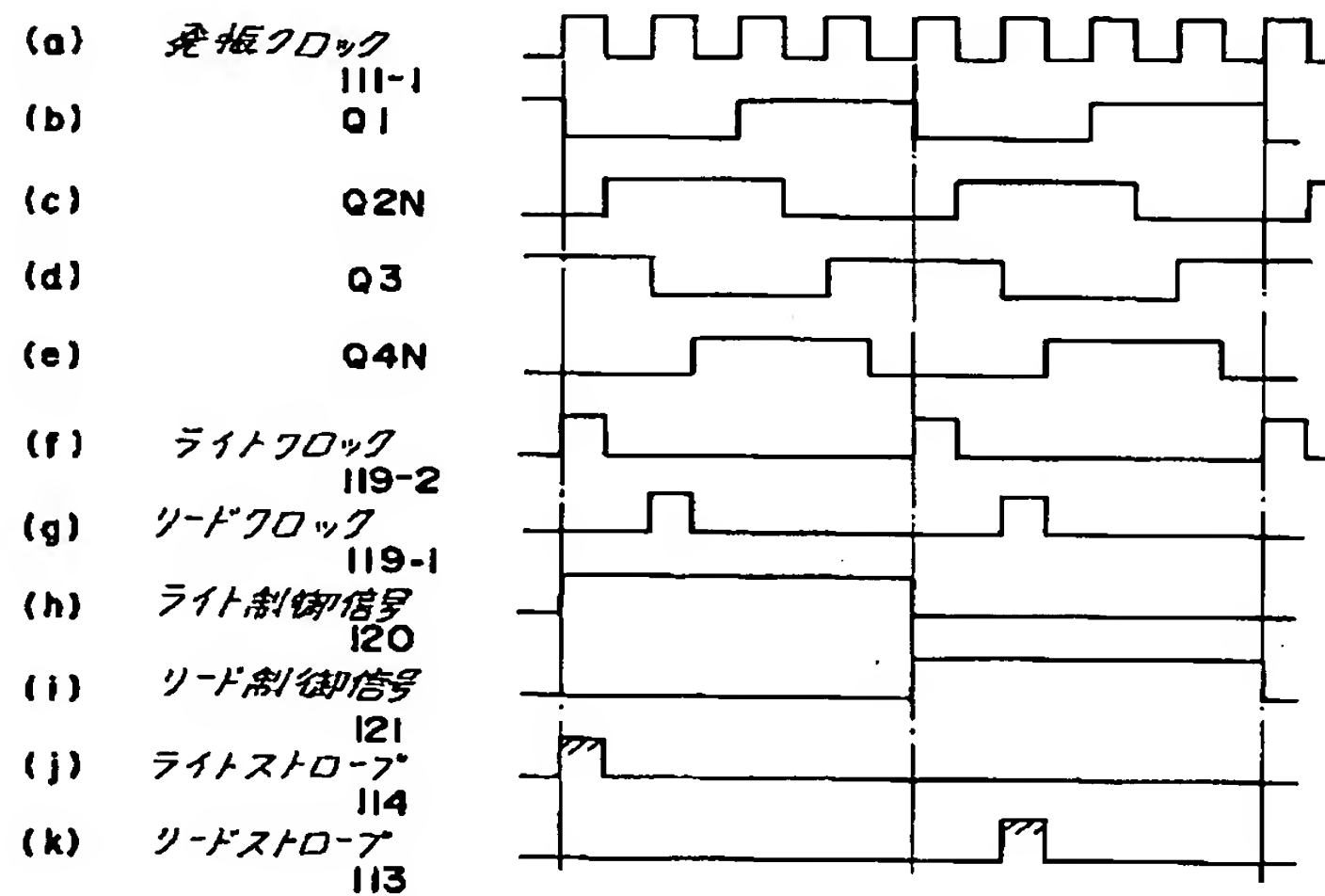
【図8】



【図10】



【図11】



フロントページの続き

(72) 発明者 岡部 俊明  
茨城県日立市幸町三丁目2番1号 日立エ  
ンジニアリング株式会社内

(72) 発明者 山崎 秀樹  
茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内